

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-357820

(43) Date of publication of application : 13.12.2002

(51)Int.Cl. G02F 1/1335  
G02F 1/1343  
G02F 1/1368

(21) Application number : 2001-166772

(71)Applicant : FUJI FILM MICRODEVICES CO LTD  
VICTOR CO OF JAPAN LTD

(22) Date of filing : 01.06.2001

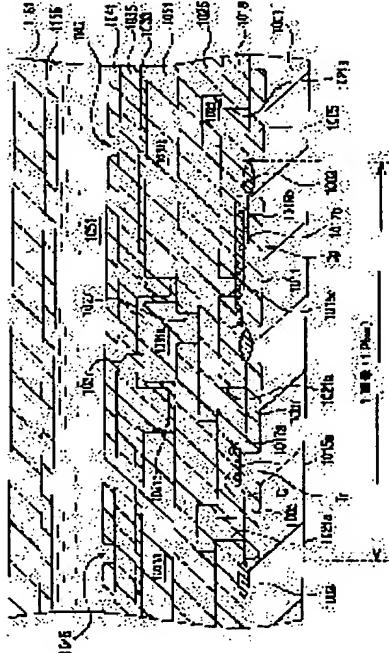
(72)Inventor : TOYOKAWA FUMITOSHI  
NISHIMAKI MAKIO  
MURAYAMA TAKASHI  
HORI YOSHIHIRO  
SUGIHARA MASATO  
SHIMOMURA MASAAKI

(54) REFLECTION TYPE LIQUID CRYSTAL DISPLAY DEVICE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent deterioration in the picture quality of a display element due to lights leaking to a semiconductor integrated circuit.

**SOLUTION:** The reflection type liquid crystal display device is provided with a substrate on which a plurality of pixel areas are defined, a plurality of elements formed on the substrate including a transistor and a storage capacitor, a multi-layer wiring structure formed on the substrate on which at least two layers of inter-layer insulating films and wiring layers are repeatedly formed and reflective electrodes separated by each pixel are formed on the inter-layer insulating film in the uppermost layer, a transparent substrate faced to the substrate with the substrate and a liquid crystal layer interposed, and a common electrode formed on the transparent substrate so as to face to a reflecting electrode. At least one layer of the wiring layers forms a light shielding film covering almost the whole face of the pixel areas, and at least one of the thickness of either upper or lower inter-layer insulating films interposed between the light shielding film and the wiring layers arranged at the upper and lower parts is set to be 50 nm to 400 nm.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

### [Data of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報(A)

(11)特許出願公開番号  
特開2002-357820  
(P2002-357820A)

(43)公開日 平成14年12月13日(2002.12.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)		
G 0 2 F	1/1335	G 0 2 F	1/1335	5 2 0	2 H 0 9 1
				5 0 0	2 H 0 9 2
	1/1343		1/1343		
	1/1368		1/1368		

審査請求 未請求 請求項の数20 O.L. (全 17 頁)

(21)出願番号	特願2001-166772(P2001-166772)	(71)出願人	391051588 富士フィルムマイクロデバイス株式会社 宮城県黒川郡大和町松坂平1丁目6番地
(22)出願日	平成13年6月1日(2001.6.1)	(71)出願人	000004329 日本ピクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地
		(72)発明者	豊川 文敏 宮城県黒川郡大和町松坂平1丁目6番地 富士フィルムマイクロデバイス株式会社内
		(74)代理人	100091340 弁理士 高橋 敬四郎 (外2名)

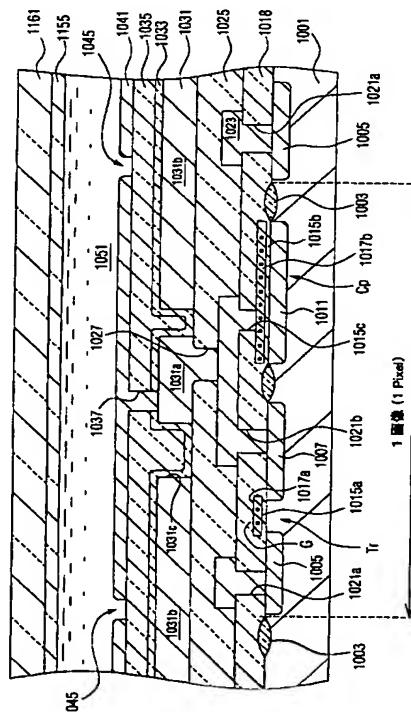
最終頁に続く

(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】

**【課題】** 半導体集積回路への漏れ光に起因する表示素子の画質の低下を防止する。

【解決手段】 多数の画素領域が画定されている基板と、該基板に形成されトランジスタと蓄積容量とを含む多数の素子と、前記基板上に形成され層間絶縁膜と配線層とが少なくとも2層以上の繰り返し形成され、最上層の層間絶縁膜の上に1画素ごとに分離された反射電極が形成されている多層配線構造と、前記基板と対向し、該基板とともに液晶層を挟持する透明基板と、前記透明基板上に形成され前記反射電極と対向する共通電極とを含み、前記配線層のうちの少なくとも1層は、前記画素領域のほぼ全面を覆う遮光膜を形成しており、前記遮光膜とその上下に配置される配線層との間に挟持される上下の層間絶縁膜の厚さのうち少なくともいずれか一方は、50nmから400nmまでの間の厚さである。



## 【特許請求の範囲】

- 【請求項1】 多数の画素領域が画定されている基板と、  
該基板に形成されトランジスタと蓄積容量とを含む多数の素子と、  
前記基板上に形成され層間絶縁膜と配線層とが少なくとも2層以上の繰り返し形成され、最上層の層間絶縁膜の上に1画素ごとに分離された反射電極が形成されている多層配線構造と、  
前記基板と対向し、該基板とともに液晶層を挟持する透明基板と、  
前記透明基板上に形成され前記反射電極と対向する共通電極とを含み、  
前記配線層のうちの少なくとも1層は、前記基板上のはぼ全面を覆う遮光膜を形成しており、  
前記遮光膜とその上下に配置される配線層との間に挟持される上下の層間絶縁膜の厚さのうち少なくとももいずれか一方は、50nmから400nmまでの間の厚さである反射型液晶表示装置。
- 【請求項2】 前記配線層のうち前記遮光膜を除く少なくとも1層は、その上下の配線間を接続するプラグ電極と、  
該プラグ電極と同じ層間絶縁膜上において分離して形成され、前記基板上のはぼ全面を覆う遮光用配線層とを含む請求項1に記載の反射型液晶表示装置。
- 【請求項3】 前記遮光膜は、導電性遮光膜である請求項1又は2に記載の反射型液晶表示装置。
- 【請求項4】 前記遮光膜の上下に配置される配線層間には、その間に挟持される前記上下の層間絶縁膜を貫通するコンタクトホールが形成され、該コンタクトホール内には前記遮光膜の上下に配置される配線層間を導通するビア導電体が形成されており、  
前記遮光膜には、該ビア導電体の外側において該ビア導電体の外周よりも大径に形成されている開口部が形成されている請求項3に記載の反射型液晶表示装置。
- 【請求項5】 前記遮光膜は、前記多数の画素領域が画定されている領域以外の領域で電位が一定に保たれている金属配線層と接続されている請求項1から4までのいずれか1項に記載の反射型液晶表示装置。
- 【請求項6】 前記遮光膜が、TiN単層膜である請求項3から5までのいずれか1項に記載の反射型液晶表示装置。
- 【請求項7】 前記遮光膜が、TiとTiNとの多層膜を含む請求項3から5までのいずれか1項に記載の反射型液晶表示装置。
- 【請求項8】 前記遮光膜が、TiNを含む膜である請求項3から5までのいずれか1項に記載の反射型液晶表示装置。
- 【請求項9】 前記遮光膜が、非晶質のシリコンを含む膜である請求項3から5までのいずれか1項に記載の反

射型液晶表示装置。

【請求項10】 前記遮光膜が、多結晶シリコンを含む膜である請求項3から5までのいずれか1項に記載の反射型液晶表示装置。

【請求項11】 前記遮光膜は、絶縁性を有している請求項1又は2に記載の反射型液晶表示装置。

【請求項12】 前記遮光膜の上下に配置される配線層間には、その間に挟持される前記上下の層間絶縁膜を貫通するコンタクトホールが形成され、該コンタクトホール内には前記遮光膜の上下に配置される配線層間を導通するビア導電体が形成されており、  
前記遮光膜には、該ビア導電体の外側において該ビア導電体の外周と接触する開口部が形成されている請求項1に記載の反射型液晶表示装置。

【請求項13】 前記遮光膜の上下に配置される配線層間には、その間に挟持される前記上下の層間絶縁膜を貫通するコンタクトホールが形成され、該コンタクトホール内には前記遮光膜の上下に配置される配線層間を導通するビア導電体が形成されており、  
前記遮光膜には、該ビア導電体の外側において該ビア導電体の外周よりも大径に形成されている開口部が形成されている請求項1に記載の反射型液晶表示装置。

【請求項14】 前記遮光膜は、有色無機顔料を含む平坦化絶縁膜である請求項11から13までのいずれか1項に記載の反射型液晶表示装置。

【請求項15】 前記絶縁性遮光膜は、有色無機顔料を含む有機物層である請求項11から13までのいずれか1項に記載の反射型液晶表示装置。

【請求項16】 前記遮光膜が、400nmから700nmの波長域において、1%から30%までの範囲内の光の反射率を有している請求項1から15までのいずれか1項に記載の反射型液晶表示装置。

【請求項17】 前記遮光膜が、別々の層間絶縁膜内に1層ずつ、合わせて多層設けられている請求項1から16までのいずれか1項に記載の反射型液晶表示装置。

【請求項18】 前記遮光膜が同じ層間絶縁膜内に多層設けられている請求項1から16までのいずれか1項に記載の反射型液晶表示装置。

【請求項19】 前記遮光膜は、その下に形成されている層間絶縁膜の形状に沿って形成されている請求項1から16までのいずれか1項に記載の反射型液晶表示装置。

【請求項20】 多数の画素領域が画定されている基板と、  
該基板に形成されトランジスタと蓄積容量とを含む多数の素子と、  
前記基板上に形成され層間絶縁膜と配線層とが少なくとも2層以上の繰り返し形成され、最上層の層間絶縁膜の上に1画素ごとに分離された反射電極が形成されている多層配線構造と、

前記基板と対向し、該基板とともに液晶層を挟持する透明基板と、  
前記透明基板上に形成され前記反射電極と対向する共通電極とを含み、  
前記配線層のうちの少なくとも1層は、前記基板上のはば全面を覆う遮光膜を形成しており、  
前記遮光膜とその上下に配置される配線層との間に挟持される上下の層間絶縁膜の厚さのうち少なくともいずれか一方は、可視光領域内における入射光の波長と同じか或いはそれ以下の厚さに形成されている反射型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、反射型液晶表示装置に関し、特に、強い入射光を必要とする反射型液晶プロジェクタに使用する反射型液晶表示装置に関する。

【0002】

【従来の技術】 最近、映像を大画面に表示できる投射型の液晶表示装置への要望が高まってきている。特に、液晶パネルで反射させる反射型液晶表示装置を用いること、反射電極の下側にトランジスタや配線層を配置することができるため、反射型液晶プロジェクタの小型化が可能となる。

【0003】 一般的な反射型液晶表示装置は、基板上にトランジスタと蓄積容量とが形成されている。トランジスタのドレイン電極は、分離領域により画素領域ごとに分離された反射電極と接続されている。反射電極上に、ある距離だけ隔てて透明基板が配置され、その下面に透明電極（以下「共通電極」と呼ぶ）が形成されている。反射電極と透明電極との間に液晶材が挟持されて液晶層を形成する。

【0004】 ガラス基板及び共通電極を透過して液晶層に入射した光は、反射電極により反射する。反射電極と共通電極との間に電圧を印加すると、液晶層内の液晶分子の配向状態が変化し、反射光の強度により表示を変化させることができる。

【0005】

【発明が解決しようとする課題】 前述のように、反射電極は分離領域により1画素ごとに分離される。反射電極は、画像信号に応じた電圧を液晶に印加する電極としての働きと表示のための反射鏡としての働きとの他に、入射光が下部領域まで入り込むのを防止する遮光板としての役割を兼ねているが、分離領域には反射板が存在しないため、分離領域から入り込んだ入射光の一部は、下部領域に形成されている配線の隙間からさらに下部に形成されている集積回路内に漏れ込む。

【0006】 特開昭59-121082号公報に、反射電極とその下部領域との間であって反射電極間の分離領域（スペース）の下方に導電性遮光膜を形成した反射型液晶装置が開示されている。この装置においては、導電

性遮光膜と反射電極又はその他の金属配線との間での短絡が生じないように、反射電極とその他の金属製配線との間を接続するためのコンタクトホール周辺において、導電性遮光膜を除去している。従って、導電性遮光膜を除去した部分を通る光は、下部構造へ漏れ込む。

【0007】 また、特開平9-171195号公報及び米国特許公報第5978056号には、反射電極の下面と導電性遮光膜の上面とに反射防止膜を設けた構造が開示されている。導電性遮光膜の隙間から漏れ込む光が、反射防止膜により減衰し、半導体基板にまで光が到達する確率と光の強度とを低減する。

【0008】 しかしながら、この構造においても、導電性遮光膜と反射電極又はその他の金属製配線との間での短絡が生じないように、反射電極とその他の金属製配線との間を接続するためのコンタクトホール周辺においては、導電性遮光膜を除去している。従って、導電性遮光膜を除去した部分を通る光は、下部構造へ漏れ込む恐れがある。加えて、反射電極の下面や導電性遮光膜の上面に反射防止膜を設けると、構造が複雑になり、工程数も増加する。

【0009】 特に、近年のように、高解像度で高輝度の画像表示の要請下においては、個々の画素の微細化・高密度化が必要となる。画素の微細化により、反射電極から下部構造へ漏れ込んだ光が半導体基板まで到達する確率も高くなっている。

【0010】 ところで、反射電極と共通電極との間にDC電圧を継続して印加すると、液晶の焼け付きと呼ばれる現象が起り、液晶の劣化の原因となる。そこで、反射電極と共通電極との間にフレーム（フィールド）ごとに極性を反転させたアナログ電圧を印加する。

【0011】 図15(A)及び(B)に、反射電極と共通電極との間に印加するアナログ入力電圧と、蓄積容量Cpに蓄積される画素保持電圧との関係を示す。通常の反射型液晶表示装置においては、上述のような焼きつきを防止するために、V0を画素に入力する電圧の中間点とし、電圧がV0を中心としてプラス側とマイナス側の間でフレーム（フィールド）ごとに変化するように電極間に電圧を印加している。

【0012】 アナログ入力電圧と画素保持電圧との関係は、図の実線で示すように原点通り傾きが1の直線になるのが理想的である。但し、トランジスタの特性上の問題により、電圧領域によっては、非線形となる場合がある。この種の液晶表示装置においては、線形な領域を使用するのが一般的である。

【0013】 ところが、集積回路内に光が漏れ込むと、例えば第1導電型の半導体基板と基板に形成された第2導電型の半導体層との間に形成されるp-n接合ダイオード（逆バイアスされている）の空乏層領域に光が入り込むことになる。空乏層領域に光が入り込むと電子と正孔とが形成され、電子は第2導電型の半導体層内に流れ

込む。蓄積容量内に蓄積されている電子数が変化するため、アナログ入力電圧と、蓄積容量に蓄積される画素保持電圧との関係は破線で示すように下方に $- \alpha$ だけシフトしたような特性となってしまう（図15（A））。

【0014】水平シフトレジスタの駆動信号cloc k、HSRj出力、およびvideo入力信号Vinの一部の例を図15（B）に示す。Video信号は、V0を中心としフレームごとに+側と-側になっている。光リークの影響は共に電圧を-側に加える方向として働き、光照射が進むにつれ（時間が進むにつれて）シフトしていく。図15（B）のVpの信号レベルは、光リークのない場合（実線）に対して光リークにより破線のようにマイナス側にシフトする。

【0015】このようなシフトが生じると、フィールド・フリッカとなるため、画質の劣化に繋がる。

【0016】本発明は、光の漏れ込みに起因する上記の問題点を解決することを目的とする。

#### 【0017】

【課題を解決するための手段】本発明の一観点によれば、多數の画素領域が画定されている基板と、該基板に形成されトランジスタと蓄積容量とを含む多数の素子と、前記基板上に形成され層間絶縁膜と配線層とが少なくとも2層以上の繰り返し形成され、最上層の層間絶縁膜の上に1画素ごとに分離された反射電極が形成されている多層配線構造と、前記基板と対向し、該基板とともに液晶層を挟持する透明基板と、前記透明基板上に形成され前記反射電極と対向する共通電極とを含み、前記配線層のうちの少なくとも1層は、前記画素領域のほぼ全面を覆う遮光膜で形成されており、前記遮光膜とその上下に配置される配線層との間に挟持される上下の層間絶縁膜の厚さのうち少なくともいずれか一方は、50nmから400nmまでの間の厚さである反射型液晶表示装置が提供される。

【0018】上記の反射型液晶表示装置によれば、導電性遮光膜とその上層又は下層の金属配線膜との間に両者間を多重反射しつつ光が伝播する光路が形成される。多重反射を重ねることにより光路内を進む光は減衰し、下部領域に達するまでに弱められる。

#### 【0019】

【発明の実施の形態】図1に、反射型液晶表示装置の構造を示す断面図である。

【0020】p型シリコン半導体基板（以下、「半導体基板」と称する。）1001上に以下に述べる半導体プロセスによってMOS型電界効果トランジスタ（MOSFET）Trと蓄積容量Cpとを形成する。MOSFET：Trと蓄積容量Cpとは、LOCOS（Local Oxidation of Silicon）法により形成された素子分離層1003により分離する。

【0021】半導体基板1001に、後に保持容量形成部となるn型不純物層1011を形成する。次いで、半

導体基板1001上に薄い熱酸化膜1015（1015aと1015b）を形成し、次いで、多結晶シリコン層1017aと多結晶シリコン層1017bとを形成する。多結晶シリコン層1017bは、n型不純物層1011上に形成する。

【0022】多結晶シリコン層1017aは、MOS型トランジスタのゲート電極Gを構成する。ゲート電極Gに対して自己整合的にn型不純物層1005とn型不純物層1007とを形成する。n型不純物層1005とn型不純物層1007とが、それぞれMOS型トランジスタTrのソースS及びドレインDとなる。n型不純物層1011と熱酸化膜1015bと多結晶シリコン電極1017bとにより蓄積容量Cpが形成される。

【0023】MOS型トランジスタTrと蓄積容量Cpとが形成された基板上に、例えば、第1から第4までの層間絶縁膜1018、1025、1033及び1035を形成する。第1の層間絶縁膜1018上に第1層目の配線1023が、第2の層間絶縁膜1025上に第2層目の配線1031が、第4の層間絶縁膜1035上に第3層目の配線1041が形成される。MOS型トランジスタTrのドレインDと蓄積容量Cpの多結晶シリコン電極1017bとは、電気的に接続されている。第3層目の配線1041が画素電極（反射電極RE）を形成する。反射電極REは、ほぼ1画素分の領域を覆っており、画素ごとに分離領域1045により分離されている。

【0024】透明ガラス基板1161の下面に透明電極1155を形成する。反射電極RE上に、ある距離だけ離れて透明ガラス基板1161を配置する。反射電極REと透明電極1155との間に液晶材1051が挟持されて液晶層を形成する。

【0025】上記の各層間絶縁膜には、それを貫通するコンタクトホールが、適宜設けられている。例えば、トランジスタTrのドレインDは、第1層目の層間絶縁膜1018内に形成されるコンタクトホール1021bと、第2層目の層間絶縁膜1025内に形成されたコンタクトホール1027と、第3及び第4層目の層間絶縁膜1033、1035内に形成されたコンタクトホール1037と、を介して配線1023及び配線1031及び配線1041により反射電極REと接続されている。配線1031は、配線1023と反射電極1041とを接続するための第1配線部1031aと、第2配線部1031aと孔部1031cにより分離され、基板のほぼ全面に形成されている遮光部1031bとを含む。

【0026】ガラス基板1161及び共通電極1155を透過して液晶層に入射した光は、反射電極REにより反射する。反射電極REと共通電極1155との間に電圧を印加すると、液晶層内の液晶分子の配向状態が変化し、反射光の強度により表示を変化させることができる。

【0027】上記の構造において、反射電極REは分離領域1045により1画素ごとに分離される。反射電極REは、入射光が下部領域にまで入り込むのを防止する反射板を兼ねているが、分離領域1045には反射板が存在しない。分離領域1045から入り込んだ入射光の一部は、下部領域に形成されている配線の隙間からさらに下部に形成されている集積回路内に漏れ込む。遮光部1031bは、分離領域1045の下にも形成されているため、分離領域1045から漏れこんだ光が下部領域にまで到達する確率を低減する。

【0028】実際には、第1配線部1031aと遮光部1031bとの間にも、遮光部1031bを第1配線部1031aから電気的に分離するための孔部1031cを設ける必要があるため、光は漏れこむであろう。

【0029】反射電極と配線層との間及び配線層間及び配線層と半導体基板との間の少なくともいずれかに、反射率が低い材料のみで構成される遮光層を設ければ、多重反射による半導体基板を含む下部構造への光の進入を抑制することができる。遮光層と配線層又は電極との間に形成されている層間絶縁膜の厚さに一定の制限を設ければさらに良い。

【0030】通常、液晶装置を含む半導体集積回路製造技術においては、金属層間に形成されている層間絶縁膜の厚さは、 $1\text{ }\mu\text{m}$ 程度である。 $1\text{ }\mu\text{m}$ という厚さは、層間絶縁膜間に漏れ込んだ光が、容易に伝播できる厚さである。

【0031】下記の参考文献には、層間絶縁膜がある程度の厚さ以下になると、電磁気学上のある境界条件で算出されるような伝播モードを生じ、層間絶縁膜の厚さ方向に高い強度の部分を有し、その高い強度の部分を中心に裾を引くような光強度分布を持つようになることが説明されている。

【0032】参考文献1：P. K. Tien “Light Wave in Thin Films and Integrated Optics”, Appl. Optics 10 (1971) p2395-2413.

参考文献2：T. Tamir “Integrated Optics” Springer verlag, New York, 1975.

参考文献3：P. K. Tien and R. Ulrich “Theory of Prism-Film Coupler and Thin-Film Light Guides”, J. Optical Soc. America 60 (1970) p1325-1337.

上記の境界条件は、対象となる光の波長と、層間絶縁膜の屈折率と、上下に設けられている層の屈折率と、に依存する。但し、液晶表示装置を含む半導体集積回路の製造工程において主として用いられる層間絶縁膜の場合に

は、光の波長の2倍程度の厚さから、上記の伝播モードに従う光の伝播が始まる。特に、光の波長と同程度の厚さになると、上記の光伝播モードが支配的になる。反射型液晶表示装置においては、入射光は、可視光領域、すなわち、 $400\text{ nm}$ から $700\text{ nm}$ の間の波長領域を有する。

【0033】発明者は、遮光膜とその下に形成されている配線層又は電極との間の層間絶縁膜の厚さを上記可視光領域における使用波長以下の厚さにすれば、遮光膜とその下に形成されている配線層又は電極との間の層間絶縁膜を通る上記の光伝播モードを抑制することができ、それよりも下部の領域への光の進入を抑制することができると考えた。

【0034】特に、遮光膜とその下に形成されている配線層又は電極との間の層間絶縁膜の厚さを、可視光領域における短波長側の下限に相当する厚さ以下、すなわち、 $400\text{ nm}$ 以下の厚さにすれば、上記の光伝播モードによる下部領域への光の進入を大幅に低減することができる。尚、層間絶縁膜の厚さは、 $50\text{ nm}$ 以上であることが好ましい。厚みが $50\text{ nm}$ 以下であると、層間絶縁膜を挟んで上下に配置される配線層又は電極上のカバーレッジが悪くなり、両者間の絶縁性に問題が生じる。

【0035】低反射率の遮光材料としては、例えば、Ti膜又はTiN膜或いはSi膜などを用いれば良い。遮光膜とその下に形成されている配線層又は電極との間の層間絶縁膜の厚さを上記の範囲内とし、かつ、遮光膜として低反射率材料を含む膜を用いれば、半導体基板へ光が到達するのを、さらに抑制することができる。

【0036】例えば、 $400\text{ nm}$ から $700\text{ nm}$ の間の波長領域で、少なくとも層間絶縁膜の上面か下面のいずれかで反射率を抑制すれば、数十回程度の多重反射により、反射電極の分離領域から入り込んだ光の強度は、 $1/100,000$ から $1/200,000$ 程度まで減衰させることができる。以上の考察に基づき、以下に本発明の実施の形態による反射型液晶表示装置について説明する。

【0037】まず、本発明の第1の実施の形態による反射型液晶表示装置について、図2から図7までを参照して説明する。

【0038】図2は、反射型液晶表示装置の等価回路図である。図3は、図2に示す回路図のうちアドレス回路の構成の詳細を示す回路図である。図4から図6までは、反射型液晶表示装置の平面図である。図7(A)は、反射型液晶表示装置の断面図であり、図4から図6までに示す平面図のVIIa-VIIa'線断面図である。図7(B)は、図1および図7(A)の反射型液晶装置における漏れ光の進路を示す概略図である。

【0039】図2に示すように、反射型液晶表示装置Aは、行方向及び列方向に並んだ多数の画素PIXと、行方向のアドレスを指定するためのX方向アドレス回路X

と、列方向のアドレスを指定するためのY方向アドレス回路Yとを有している。画素PIXは、トランジスタTrと液晶セルECと蓄積容量Cpとを有している。Y方向アドレス回路Yから、複数本の走査線Yi(i=1, 2, 3...)が行方向に延びている。X方向アドレス回路Xから、複数本の信号線Xjが列方向に延びている。

【0040】画素PIXに含まれるトランジスタTrのソース電極Sは、信号線Xjに接続されている。1列のトランジスタTrのソース電極Sは、1本の信号線Xjと共に接続されている。ゲート電極Gは、走査線Yiに接続されている。1行のトランジスタTrのゲート電極は、1本の走査線Yiと共に接続されている。トランジスタTrのドレイン電極Dは、蓄積容量Cpを介して共通電極Comと接続されている。加えて、ドレイン電極Dは、液晶セルECを形成する反射電極(画素電極)と接続されている。

【0041】図3に示すように、例えば、Y方向アドレス回路Yは、1本の走査線Yiに対して垂直シフトレジスタの1段の出力が対応している。垂直シフトレジスタVSRの出力信号は、CMOSインバータ回路により構成されるレベルシフト回路LS1の入力端子Vin1に入力する。LS1の電源はV0-APが供給されており、VSR出力レベルからAPの供給レベルまで出力レベルがシフトする。LS1の電源は、V0-APが供給されており、VSR出力レベルの出力端子から走査線Yiが延びている。走査線Yiは、前述のように画素トランジスタTrのゲート端子Gに接続されている。X方向アドレス回路Xは、各列に対して水平シフトレジスタHSRの1段の出力が対応している。LS2の電源は、V0-APが供給されており、VSR出力レベルからAPの供給レベルまで出力レベルがシフトする。

【0042】水平シフトレジスタHSRの出力は、インバータ回路LS2を通ってアナログスイッチ回路ANSに入力される。アナログスイッチ回路ANSは、n型MOSトランジスタとp型MOSトランジスタとの2つのトランジスタが並列に接続されており、パストランジスタを構成している。アナログスイッチ回路ANSは、ビデオ信号Video-inを信号線Xjに通すか否かのスイッチングを行う。信号線Xjは前述のように画素中のトランジスタTrのソース端子Sに接続されている。

【0043】尚、前述の図15に示されるアナログ入力電圧は、Video-inからの入力電圧であり、画素保持電圧は、Vpで表される電圧である。

【0044】上記の構成を有する反射型液晶表示装置は、以下の動作をする。

【0045】X方向アドレス回路により信号線Xjが選択されると、列方向選択されたアナログスイッチ回路ANSがオンになり、Video-inに入力された画像信号はアナログスイッチ回路ANSを通って列方向信号線Xjに導かれる。この時に、Y方向アドレス回路によ

り選択された走査線Yiと接続されている画素トランジスタTrのゲートGがオンになることにより、該当する(X-Yアドレスされた)画素PIXjiのドレインDに接続された保持容量(蓄積容量)Cpを信号量に応じた電荷分だけ充電する。この時、同時に保持容量Cpの電圧は、反射電極(画素電極)にも印加される。

【0046】蓄積容量Cpに蓄積された電荷により、走査線Yiの選択信号がLowになどても、次の選択信号が同じ走査線Yiに印加されるまで、反射電極の電位が保持される。その間、液晶セルECの液晶層に対して反射電極と共に接続されている電位差が印加される。液晶の光透過率が変化するため、その電位差を信号線Xjの画像信号により制御することによって、反射電極により反射された出射光を変調することができる。

【0047】具体的には、走査線Yiに選択信号を通電してYiに接続されている全ての画素トランジスタTrをオン状態にし、オン状態になっているトランジスタTrに接続されている各蓄積容量Cpに対して、列方向へ走査しながら信号線Xjを通じて画像信号を書き込むことにより、画素単位で入射光を変調させ、所望の反射光を得ることができる。

【0048】図4から図6までは、反射型液晶表示装置の平面図である。図4は、主として半導体基板に形成された不純物層と多結晶シリコン層とが形成される領域を示した図である。図5は、主として、第1から第3までの配線層とコンタクトホールとが形成される領域を示した図である。図6は、主として遮光膜が形成される領域を示した図である。図7(A)は、反射型液晶表示装置の断面図である。

【0049】p型シリコン半導体基板(以下、「半導体基板」と称する。)1上に半導体プロセスによってMOS型電界効果トランジスタ(MOSFET)Trと蓄積容量Cpとを形成する。MOSFET:Trと蓄積容量Cpとは、LOCOS(Local Oxidation of Silicon)法により形成された素子分離層3により分離する。

【0050】半導体基板1に、n型不純物層11を形成する。次いで、半導体基板1上に薄い熱酸化膜15(15a及び15b)を形成し、次いで、横方向(行方向)に延びる多結晶シリコン層17aと画素領域内の多結晶シリコン層17bとを形成する。多結晶シリコン層17bは、n型不純物層11上に形成する。

【0051】多結晶シリコン層17aは、MOS型トランジスタのゲート電極Gを構成する。走査線Yi(図2)は、ゲート電極Gを形成する際に、同じ層の多結晶シリコンにより配線が形成され、LSI(図3)の出力部に接続されている。ゲート電極Gに対して自己整合的にn型不純物層5とn型不純物層7とを形成する。n型不純物層5とn型不純物層7とが、それぞれMOS型トランジスタTrのソースS及びドレインDとなる。n型

不純物層11と熱酸化膜15bと多結晶シリコン電極17bにより蓄積容量Cpが形成される。MOS型トランジスタTrのドレインDと蓄積容量Cpの多結晶シリコン電極17bとは、電気的に接続されている。

【0052】MOS型トランジスタTrと蓄積容量Cpとが形成された基板上に、層間絶縁膜が形成される。例えば常圧CVD法を用いて、酸化シリコン膜により第1層目の層間絶縁膜(第1層間絶縁膜)18を形成する。第1層間絶縁膜18に、トランジスタTrのソースS及びドレインD上を露出する開口21aおよび21bを形成する。この時、蓄積容量Cpを形成する多結晶シリコン電極17b上にも開口21cを形成する。その上に、例えば、スペッタリング法を用いて第1配線層(1M)23を形成する。

【0053】第1配線層23は、第1の第1配線層23aと第2の第1配線層23bとを含む。第1の第1配線層23aは、各画素領域の間をほぼ垂直方向(列方向)に延びるとともに、開口21aを介してトランジスタTrのソース領域Sに接続する。第1の第1配線層23aと第2の第1配線層23bとは分離されている。第2の第1配線層23bは、開口21bを介してトランジスタTrのドレイン領域Dと接続されるとともに、開口21cを介して蓄積容量Cpの上部電極を形成する多結晶シリコン層17bと接続されている。蓄積容量Cpの上部電極もトランジスタTrのドレインに接続される。尚、図7(A)は、開口21cを含む切断面に対応している。

【0054】例えばプラズマCVD法などを用いて、例えば酸化シリコンにより第2層目の層間絶縁膜(第2層間絶縁膜)25を形成する。第2層間絶縁膜25内であって、第2の第1配線層23b上の所定の位置に開口27を形成する。

【0055】次に、例えば、スペッタリング法を用いて第2配線層(2M)31を形成する。第2配線層31は、第1の第2配線層31aと第2の第2配線層31bとを含む。

【0056】第1及び第2の第2配線層31a、31bは略矩形で帯状の形状を有する帯状分離領域30により分離されている。第1の第2配線層31aは、帯状分離領域30の内側に形成されており、開口27を介して第2の第1配線層23bと接続されている。第2の第2配線層31bは、帯状分離領域30の外側であって、多数の画素領域を含むほぼ基板の全面に形成される。第1の第2配線層31aは、第2の第1配線層23bと後述する上部配線或いは画素電極とを接続するためのプラグの機能を有している。

【0057】次いで、例えばプラズマCVD法などを用いて、第3層目の層間絶縁膜(第3層間絶縁膜)35を形成する。例えば、第3層間絶縁膜35上に、SOGなどを用いて第4層目の層間絶縁膜(第4層間絶縁膜)3

7を形成する。第4層間絶縁膜37の表面が平坦になる。

【0058】第2配線(2M)31(31a、31b)上の、例えば酸化シリコン膜により形成された第3層間絶縁膜35と第4層間絶縁膜37との合計の膜厚は400nm以下にする。

【0059】例えば、スペッタリング法などを用いて、Ti層を20nm、TIN層を50nm積層する。このTi/TIN膜が導電性遮光膜38として機能する。

尚、層間絶縁膜37とTIN膜との間に、Ti層を形成することにより、TIN膜と第4層間絶縁膜37との密着性が向上する。

【0060】次いで、導電性遮光膜38のうち、後にコンタクトホール40を形成する領域を内包する開口38aを形成する。導電性遮光膜38は、開口部を除く基板上のほぼ全面を覆う。例えば、プラズマCVD法などを用いて導電性遮光膜38上に例えば窒化シリコンにより形成される絶縁膜とSOGとを併用して第5の層間絶縁膜39を形成する。第5の層間絶縁膜39、第4及び第3の層間絶縁膜37、35の一部領域を除去し、第1の第2配線31aの上面を露出するコンタクトホール40を形成する。例えばスペッタリング法などを用いて、第3層目の配線層(第3配線)41を形成する。コンタクトホール40内に埋め込まれている配線層をビア導電体と称する。ビア導電体は導電性遮光膜38と離されている。第3配線層41は、コンタクトホール40を介して第2配線31aと接続する。第3配線層41を1画素ごとに分離する分離領域43を形成する。第3配線層を反射電極REとして機能させることができる。反射電極REは、開口40と、第1の第2配線層31aと、開口27と、第2の第1配線層23bとを介してトランジスタTrのドレイン及び画素保持容量Cpの多結晶シリコン電極に接続される。

【0061】ガラス基板61の一表面側の全面にITO(Indium Tin Oxide)などの透明電極により共通電極55を形成しておく。次いで、図示しないシール材などを基板の周辺部に配置し、反射電極REとある距離だけ隔てて反射電極REと共に電極55とが対向するようにガラス基板61と基板1とを配置する。基板間のギャップを規定するためには、例えばギャップコントロールを用いれば良い。反射電極REと共に電極55の間に液晶材を注入し、反射型液晶表示装置が完成する。

【0062】上記の反射型液晶表示装置においては、第4及び第3の層間絶縁膜37、35の上に導電性遮光膜38が形成され、その上に第5の層間絶縁膜39が形成されている。導電性遮光膜38の下の第3及び第4の層間絶縁膜35、37の層厚の合計は、400nm以下と薄くなっている。尚、前述のように、層間絶縁膜の厚さは、50nm以上であることが好ましい。厚みが50

n m以下であると、層間絶縁膜を挟んで上下に配置される配線層又は電極上のカバレッジが悪くなり、両者間の絶縁性に問題が生じる。

【0063】図7(B)は、図7(A)の構造のうち液晶層と共に通電極を含むガラス基板とを省略した構造を示す断面図である。図7(B)においては、隣接する反射電極RE間に隙間に存在する分離領域43から光が漏れこんだ場合の経路について模式的に示している。実線は、図7(A)と同じ構造において導電性遮光膜38が存在しないと仮定した場合の光路を示している。導電性遮光膜38が設けられていない場合には、分離領域43から漏れこんだ光は、反射電極REの裏面と第2配線31の上面との間で反射を繰り返しつつ層間絶縁膜内を伝播する。

【0064】光は、次いで配線間の帯状分離領域(開口部)30を通ってさらに下部の第2の層間絶縁膜25内に漏れ込む。第2の層間絶縁膜25内においても、光は、第2配線31の下面と第1配線23の上面との間で反射を繰り返しつつ層間絶縁膜内を伝播する。光は、次いで配線間の開口24を通ってさらに下部の第1の層間絶縁膜18内に漏れ込む。第1の層間絶縁膜18内においても、光は、例えば第1配線23a又は23bの下面と多結晶シリコン層17bの上面との間で反射を繰り返しつつ層間絶縁膜内を伝播する。分離領域から漏れこんだ光は、最終的に基板1内に形成されているトランジスタTrまたは保持容量Cpに到達する。金属層において反射する場合には、光は減衰するが、金属層、特に通常用いられるAl電極の反射率は高いため、トランジスタTrなどの特性に悪影響を与えててしまう。

【0065】これに対して、第4の層間絶縁膜37と第5の層間絶縁膜39との間に導電性遮光膜38が形成されている場合には、図7(B)に破線で示すように、光は反射電極REの下面と導電性遮光膜38の上面との間において光が反射を繰り返す。たとえ導電性遮光膜38の隙間38aから光が漏れこんだとしても、さらに、導電性遮光膜38の下面と第2の配線31の上面との間の層間絶縁膜35及び37中において、光は反射を繰り返す。図7(B)から明らかかなように、導電性遮光膜が形成されている場合と形成されていない場合とでは、導電性遮光膜が形成されている場合の方が反射の回数が多い。加えて、導電性遮光膜として光の反射率の低い(吸収率の高い)材料を用いれば、光が基板まで到達する確率も低減する。さらに、導電性遮光膜の下に形成されている配線層又は電極との間の層間絶縁膜の厚さを上記可視光領域における短波長側の下限に相当する厚さ以下、すなわち、400nm以下の厚さにすれば、遮光膜とその下に形成されている配線層又は電極との間の層間絶縁膜を通る上記の光伝播モードを抑制することができ、上記の反射による光の伝播自体が起りにくくなる。その結果として、それよりも下部の領域への光の進入を大幅

に抑制することができる。

【0066】尚、導電性遮光膜の下に代えて、導電性遮光膜38の上に形成されている層間絶縁膜39の厚さを400nm以下にしても良い。加えて、導電性遮光膜38の下の層間絶縁膜35、37の厚さも同程度に薄くすれば、光が層間絶縁膜中を伝播するのをさらに抑制することもできる。

【0067】導電性遮光膜用の材料としは、種々の材料を用いることができる。特に、波長領域400nmから700nmの間において、低い反射率、例えば30%以下の反射率を維持できるような材料が好ましい。

【0068】400nmから700nmの間の波長領域で、反射率を少なくとも上面か下面のいずれかで30%以下に抑制すれば、10回から11回程度の多重反射により、反射電極の分離領域から入り込んだ光の強度は、1/100,000から1/200,000程度まで減衰する。

【0069】尚、導電性遮光膜をそれほど厚くしない場合には、透過光も存在することになる。そのような場合でも、導電性遮光膜を設けない場合に比べて光が基板に到達する確率は大幅に低減する。特に、図5及び図6に示すように、第2配線層31と導電性遮光膜38とが基板上のほぼ全面を覆うように形成されており、かつ、両者のわずかな開口部が、いずれも反射電極の分離領域からはずれた位置に設けられ、かつ、両者の開口部同士もはずれた位置に形成されるため、光が基板まで到達する確率は極めて低くなる。

【0070】以上に説明したように、本実施の形態による反射型液晶表示装置によれば、反射電極を分離するための分離領域から漏れ込んだ光、特に波長領域400nmから700nmの間の光を、下部領域、特に基板まで到達するまでに大幅に減衰させることができる。

【0071】従って、基板に形成されているトランジスタなどに与える光の影響を大幅に低減することができ、動作点がオフセットすることに起因する反射型液晶表示装置内の液晶の劣化を防止することができる。反射型液晶表示装置の表示品質の劣化を防止できる。

【0072】尚、本実施の形態による反射型液晶表示装置においては、遮光膜として、TiN或いはそれを含む膜を用いたが、例えばアモルファスシリコン膜や多結晶シリコン膜などを用いても良い。アモルファスシリコン膜や多結晶シリコン膜なども、300nmから700nmの波長を有する光の反射率は低い。従って、多重反射により伝播する光を効率良く吸収することができ、光を効果的に減衰する。

【0073】次に、第1の実施の形態による反射型液晶表示装置の第1変形例について図8を参照して説明する。

【0074】図8に示すように、第1変形例による反射型液晶表示装置は、層間絶縁膜35と層間絶縁膜39と

の間に形成されている導電性遮光膜38が、第2配線31に形成されている帯状分離領域（開口）30の形状に沿って形成されている点において、上記第1の実施の形態による反射型液晶表示装置と異なる。

【0075】本変形例による反射型液晶表示装置において、第2配線（2M）31上の、層間絶縁膜35の膜厚を400nm以下にする。導電性遮光膜38は、例えば、スパッタリング法などを用いて、TiN層を、反射率が可視光領域（400nmから700nm）において、30%以下になるような厚さ、例えば、50nm程度の厚さで形成する。TiN層と層間絶縁膜35との密着性を向上させるためにTiN層と層間絶縁膜35との間にTiを挿入しても良い。Tiの厚さとしては30nm以下の厚さが、TiN層の厚さとしては30nmから60nmまでの間の厚さが好ましい。

【0076】従って、上記第1の実施の形態による反射型液晶表示装置の場合と同様に、反射電極を分離するための分離領域から漏れ込んだ光、特に波長領域400nmから700nmの間の光が、下部領域、特に基板まで到達するまでに大幅に減衰させることができる。基板に形成されているトランジスタなどに与える光の影響を大幅に低減することができ、動作点がオフセットすることに起因する反射型液晶表示装置内の液晶の劣化を防止することができる。加えて、本変形例による反射型液晶表示装置においては、導電性遮光膜が層間絶縁膜を介して直下の第2配線31と層間絶縁膜35との形状に沿って設けられる。従って、漏れこんだ光の光路長を長くすることができ、かつ、光路がストレートでない（凹凸が存在する）ことから、漏れ込んだ光をより効率的に減衰させることができる。

【0077】次に、第1の実施の形態による反射型液晶表示装置の第2変形例について図9を参照して説明する。

【0078】図9に示すように、第2変形例による反射型液晶表示装置では、第2層間絶縁膜25と第3層間絶縁膜73との間に下層導電性遮光膜71を形成する。第2層間絶縁膜25は、エッチバック法により平坦化する。平坦化された第2層間絶縁膜25上にTiNを含む導電性遮光膜71が形成する。下層導電性遮光膜71は、例えば、スパッタリング法などを用いて、TiN層を50nmの厚さで積層する。下層導電性遮光膜71上に第3の層間絶縁膜73を形成する。第3の層間絶縁膜73上に第2配線層31を形成する。第2の層間絶縁膜25と第3の層間絶縁膜73との厚さは、400nm以下にする。

【0079】次いで、第3の層間絶縁膜73上に第3の配線層31を形成する。第3の配線層31の上に例えばプラズマCVD法により第4の層間絶縁膜35を形成し、次いで、SOGを用いて第5の層間絶縁膜39を形成する。SOGを用いることにより、第5の層間絶縁膜

39の表面は平坦になる。第5の層間絶縁膜上に、例えばスパッタリング法などにより第3の配線41を形成し、1画素ごとに分離領域43を設けて反射電極REを形成する。

【0080】導電性遮光膜の反射率を、可視光領域（400nmから700nm）において、例えば30%以下になるようすれば、上記第1の実施の形態による反射型液晶表示装置の場合と同様に、第2の変形例においても、反射電極を分離するための分離領域から漏れ込んだ光、特に波長領域400nmから700nmの間の光が、下部領域、特に基板まで到達するまでに大幅に減衰させることができる。

【0081】従って、基板に形成されているトランジスタなどに与える光の影響を大幅に低減することができ、動作点がオフセットすることに起因する反射型液晶表示装置内の液晶の劣化を防止することができる。

【0082】次に、第3の変形例による反射型液晶表示装置について図10を参照して説明する。

【0083】図10に示すように、第3の変形例による反射型液晶表示装置においては、下層の導電性遮光膜71と、上層の導電性遮光膜38との両方を備えている。下層の導電性遮光膜71の上下の層間絶縁膜と、上層の導電性遮光膜38の上下に形成されている層間絶縁膜との厚さは、いずれも400nm以下である。2層の導電性遮光膜を具備することにより、本変形例により反射型液晶表示装置においては、漏れこんだ光、特に波長領域400nmから700nmの間の光を下部領域、特に基板まで到達するまでに大幅に減衰させることができる。

【0084】従って、基板に形成されているトランジスタなどに与える光の影響を大幅に低減することができ、動作点がオフセットすることに起因する反射型液晶表示装置内の液晶の劣化を防止することができる。

【0085】尚、上記変形例による反射型液晶表示装置においては、2層の導電性遮光膜を用いたが、3層以上の導電性遮光膜を用いても良い。異なる組成や材料を用いた導電性遮光膜でも良い。同じ層間絶縁膜内に1層あるいは2層以上の導電性遮光膜を設けても良い。

【0086】つぎに、導電性遮光膜の電位について考察する。

【0087】一般的に、反射型液晶表示装置に設けられる導電性遮光膜は、電気的にフローティングの状態にある。反射型液晶表示装置を含む半導体集積回路においては、電源のオンオフ時や回路や液晶セルの動作時などに電気的なノイズが発生することがある。導電性遮光膜がフローティング状態にある場合には、ノイズに起因して層間絶縁膜を介して導電性遮光膜に電荷が蓄積される可能性がある。導電性遮光膜中に電荷が蓄積されると、導電性遮光膜の周囲を囲む層間絶縁膜の障壁高さが高いため、放電により導電性遮光膜を電気的に中立な状態に復帰させることができなくなる。

【0088】加えて、短波長の強い入射光による内部光効果により、層間絶縁膜中に電荷が誘起され、この電荷が遮光膜に移動して固定された場合にも、ノイズに起因して帶電する場合と同様の結果となる。

【0089】そこで、導電性遮光膜に蓄積される電荷を逃がす経路を作ることが好ましい。

【0090】本発明の第2の実施の形態による反射型液晶表示装置について図11を参照して説明する。

【0091】図11は、第1の実施の形態の図7(A)に対応する図である。さらに、画素領域以外の周辺領域も示している。周辺領域には、例えば図1に示すアドレス回路などの周辺回路が形成されている。遮光膜により周辺回路領域を覆えば、周辺回路に与える光の影響を低減することができ、周辺回路を安定に動作させることができ。導電性遮光膜38は、画素領域以外の領域(周辺領域)にまで延びており、周辺領域において、層間絶縁膜35および37を貫通する開口82を介して第2配線31と電気的に接続されている。第2配線層31は、一定の電位に保たれている。例えば、接地電位に保たれていても良い。

【0092】導電性遮光膜38を、周辺領域の配線31と電気的に接続することにより、導電性遮光膜38中に蓄積された電荷を外に逃がすことができる。導電性遮光膜を電気的に中立な状態に保つことができる。

【0093】次に、本発明の第2の実施の形態による反射型液晶表示装置の第1変形例について図12を参照して説明する。

【0094】図12は、第1の実施の形態の図9に対応する図である。さらに、画素領域以外の周辺領域も示している。導電性遮光膜71は、画素領域以外の領域(周辺領域)にまで延びており、周辺領域において、層間絶縁膜25内において第1配線23と電気的に接続されている。

【0095】導電性遮光膜71が周辺領域の第1配線23と電気的に接続することにより、導電性遮光膜71中に蓄積された電荷を外に逃がすことができる。従って、導電性遮光膜を電気的に中立な状態に保つことができる。また、周辺領域に形成されている周辺回路を覆うことにより、回路動作を安定にすることができます。

【0096】次に、本発明の第2の実施の形態による反射型液晶表示装置の第2変形例について図13を参照して説明する。

【0097】図13は、第1の実施の形態の図10に対応する図である。さらに、画素領域以外の周辺領域も示している。導電性遮光膜38及び導電性遮光膜71は、画素領域以外の領域(周辺領域)にまで延びており、周辺領域において、層間絶縁膜(37、35又は25)内において第2の配線31又は第1配線23と電気的に接続されている。尚、この図で、周辺領域には液晶層が形成されていない。

【0098】導電性遮光膜38及び導電性遮光膜71が周辺領域の第2の配線31又は第1配線23と電気的に接続することにより、導電性遮光膜38及び導電性遮光膜71中に蓄積された電荷を外に逃がすことができる。従って、導電性遮光膜を中立な状態に保つことができる。

【0099】次に、本発明の第3の実施の形態による反射型液晶表示装置について図14を参照して説明する。

図14に示す反射型液晶表示装置は、基本的に図7(A)に示す反射型液晶表示装置と同様の構造を有している。但し、図7(A)の遮光膜38は導電性を有しているのに対して、図14に示す遮光膜38'は、絶縁性を有している。絶縁性遮光膜38'としては、有色顔料を含むSOGを用いても良いし、有色無機顔料を含む有機物層を用いても良い。例えばカーボンブラックを含む樹脂層により形成されている。尚、絶縁性遮光膜を用いる場合には、層間絶縁膜35、層間絶縁膜37および層間絶縁膜39の開口40の開口端と、絶縁性遮光膜38'の開口端部38bとの位置が一致していても良い。すなわち、絶縁性遮光膜の内周端面と開口内に充填される電極材料41の外周面とが接触している状態にすることができる。遮光膜が絶縁性を有しているため、配線金属と接触しても寄生容量が増加するなどの問題が生じないからである。

【0100】遮光膜と配線との間の層間絶縁膜の厚さについても、400nm以下にする。

【0101】本実施の形態による反射型液晶表示装置においては、遮光膜として絶縁性の遮光膜を用いたため、途中の開口を完全に塞ぐことができ、反射電極の分離領域から入った光が下部領域への漏れ込むことを防止することができる。

【0102】本実施の形態による液晶表示装置を用いた効果の1例として、以下の結果が得られている。液晶搭載状態での光入射強度を緑(波長540nmを中心とする)について測定した。緑の光入射強度が2.3W/cm<sup>2</sup>の場合に、1フレーム期間を8.3msとし、遮光膜の無い状態で120mVの電圧降下が生じていた。これに対して、本実施の形態による液晶表示装置の遮光膜構造を用いた場合には、電圧降下が10mVまで低減した。10mVという電圧降下の値は、液晶表示装置として用いた場合に、実用上全く問題が生じない程度の優れた値である。

【0103】尚、上記の実施の形態においては、p型シリコン半導体基板を前提にしたが、n型シリコン半導体基板上のp型ウェル領域を持つ構成でも良い。

【0104】絶縁性遮光膜は多層に形成しても良い。また、導電性遮光膜と絶縁性遮光膜とを組み合させて用いても良い。層間絶縁膜を絶縁性遮光膜と兼用しても良い。

【0105】以上、実施の形態に沿って本発明を説明し

たが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせ等が可能なことは当業者には自明あろう。

#### 【0106】

【発明の効果】 反射電極の隙間から漏れる光が基板上に到達するまでに、減衰される。従って、半導体集積回路への漏れ光に起因する表示素子の画質の低下を防止することができる。

#### 【図面の簡単な説明】

【図1】 反射型液晶表示装置の構造を示す断面図である。

【図2】 反射型液晶表示装置の回路構成を示す平面図である。

【図3】 反射型液晶表示装置のより詳細な回路構成を示す図である。

【図4】 本発明の第1の実施の形態による反射型液晶表示装置の一部の構成を示す平面図である。

【図5】 本発明の第1の実施の形態による反射型液晶表示装置の一部の構成を示す平面図である。

【図6】 本発明の第1の実施の形態による反射型液晶表示装置の一部の構成を示す平面図である。

【図7】 図7（A）は、本発明の第1の実施の形態による反射型液晶表示装置の断面図であり、図4から6までのVIIa-VIIa'線断面図である。図7（B）は、図7（A）の構造の場合の反射電極の隙間からの漏れ光の進路を示す原理図であり、併せて、遮光膜を有しない場合の光の進路を示す図である。

【図8】 第1の実施の形態の第1変形例による反射型液晶表示装置の構造を示す断面図である。

【図9】 第1の実施の形態の第2変形例による反射型液晶表示装置の構造を示す断面図である。

【図10】 第1の実施の形態の第3変形例による反射型液晶表示装置の構造を示す断面図である。

【図11】 本発明の第2の実施の形態による反射型液晶表示装置の構造を示す断面図である。

【図12】 本発明の第2の実施の形態の第1変形例による反射型液晶表示装置の構造を示す断面図である。

【図13】 本発明の第2の実施の形態の第2変形例による反射型液晶表示装置の構造を示す断面図である。

【図14】 本発明の第3の実施の形態による反射型液

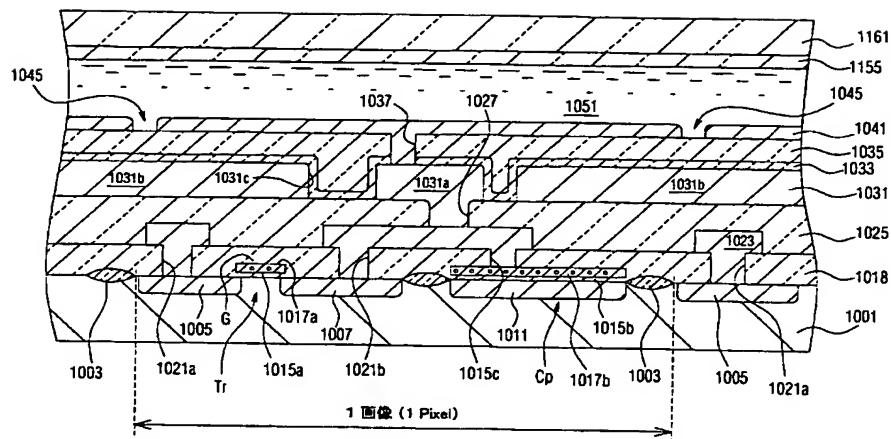
晶表示装置の構造を示す断面図である。

【図15】 図15（A）及び図15（B）は、反射型液晶表示装置における画素保持電圧のアナログ入力電圧依存性に関するリーク光の影響を示す図である。

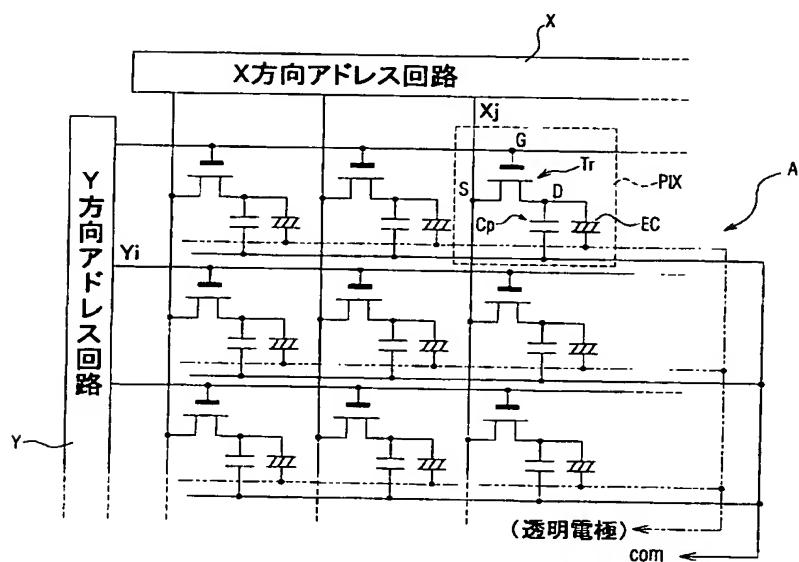
#### 【符号の説明】

- |                  |             |
|------------------|-------------|
| 1                | p型シリコン半導体基板 |
| T r              | トランジスタ      |
| C p              | 蓄積容量        |
| 3                | 素子分離層       |
| 5                | n型不純物層      |
| 7                | n型不純物層      |
| 11               | n型不純物層      |
| 17 a, 17 b       | 多結晶シリコン層    |
| 18               | 層間絶縁膜       |
| G                | ゲート電極       |
| S                | ソース         |
| D                | ドレイン        |
| 21 a, 21 b, 21 c | 開口部         |
| 23               | 第1配線（1M）    |
| 23 a             | 第1の第1配線層    |
| 23 b             | 第2の第1配線層    |
| 25               | 第2層間絶縁膜     |
| 27               | 開口          |
| 30               | 帯状分離領域      |
| 31               | 第2配線（2M）    |
| 31 a             | 第1の第2配線層    |
| 31 b             | 第2の第2配線層    |
| 35               | 第3層間絶縁膜     |
| 37               | 第4層間絶縁膜     |
| 38               | 導電性遮光膜      |
| 38'              | 絶縁性遮光膜      |
| 38 a             | 開口          |
| 39               | 第5の層間絶縁膜    |
| 40               | コンタクトホール    |
| 41               | 第3配線層（3M）   |
| 43               | 分離領域        |
| R E              | 反射電極        |
| 55               | 共通電極        |
| 61               | ガラス基板       |

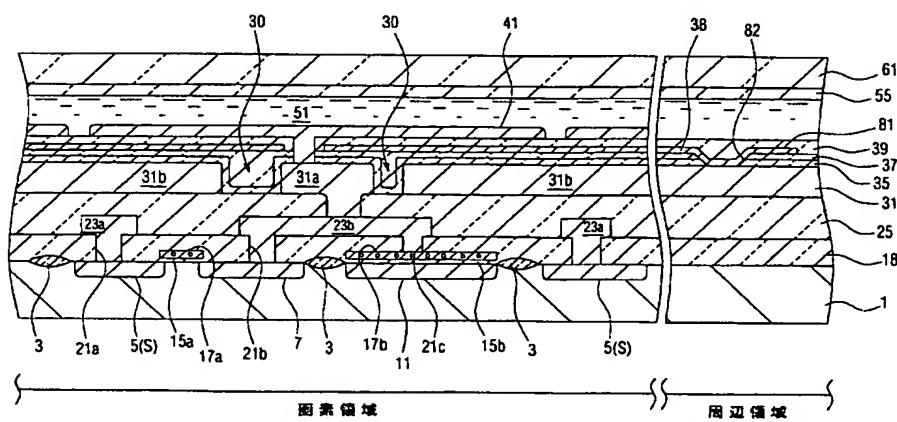
【図1】



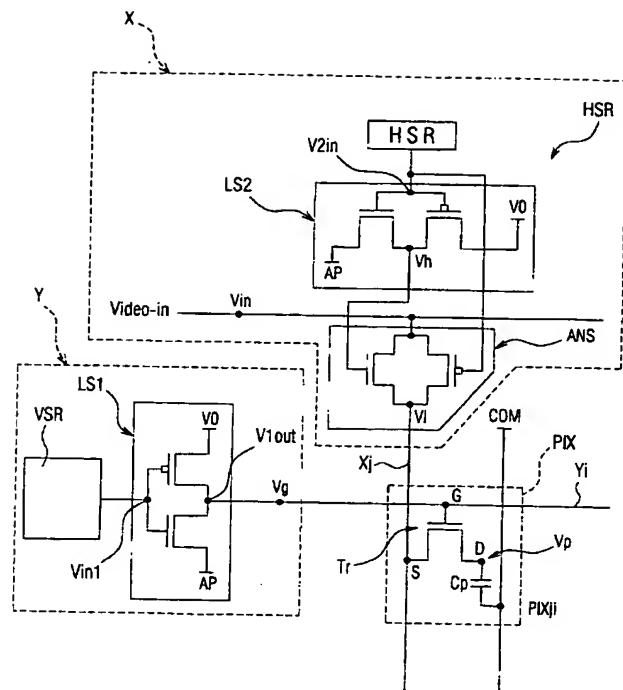
【図2】



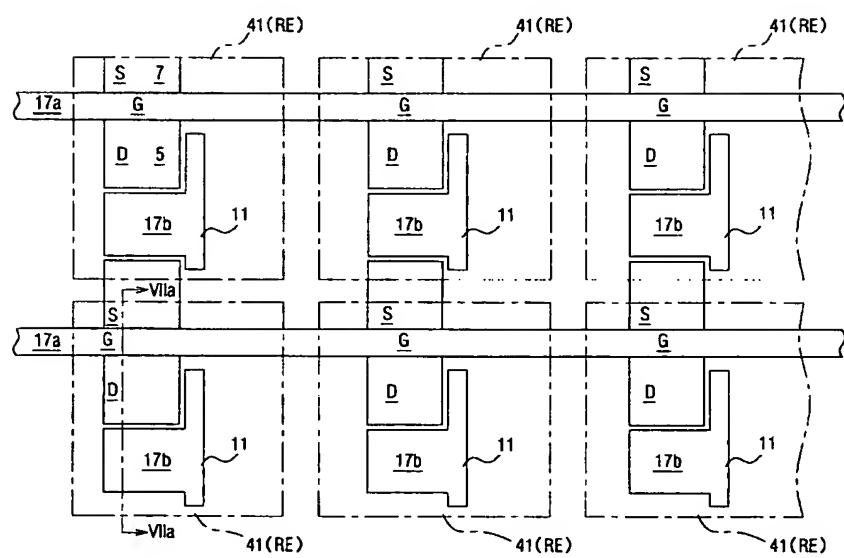
【図11】



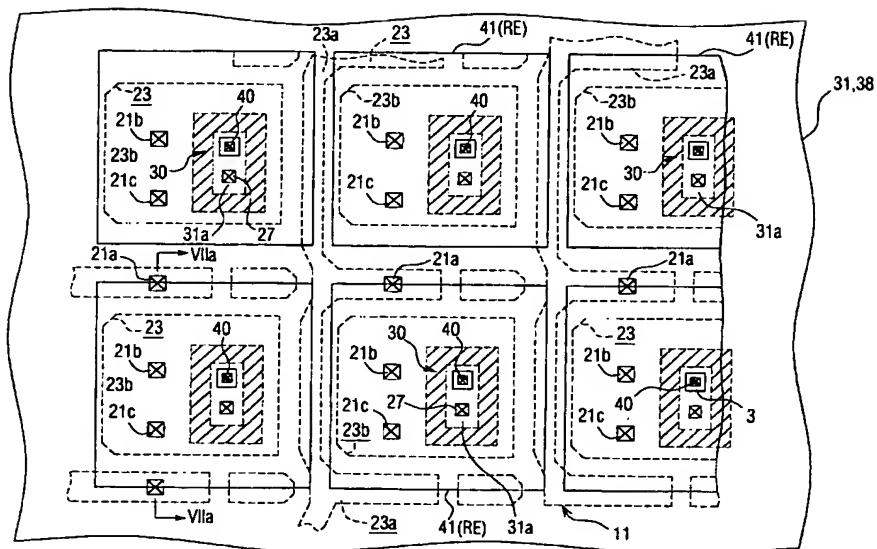
【図3】



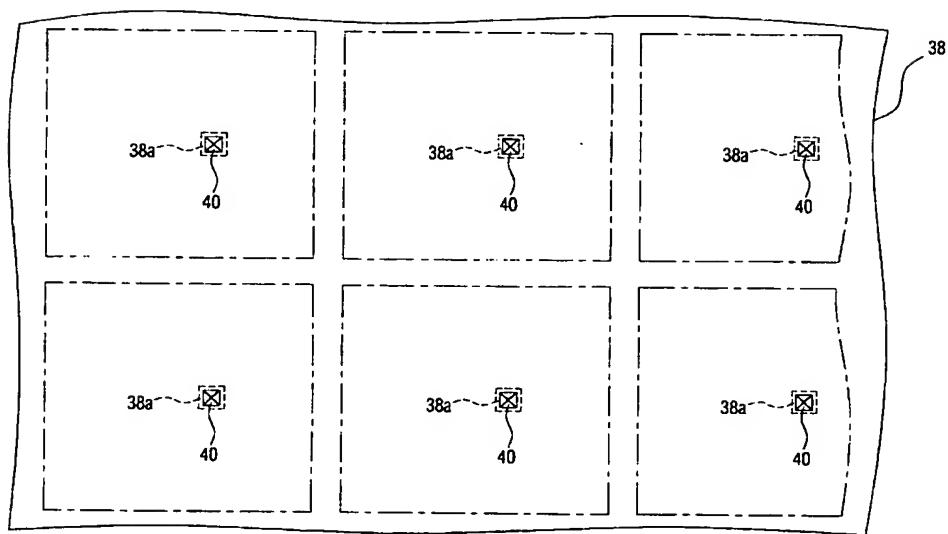
【図4】



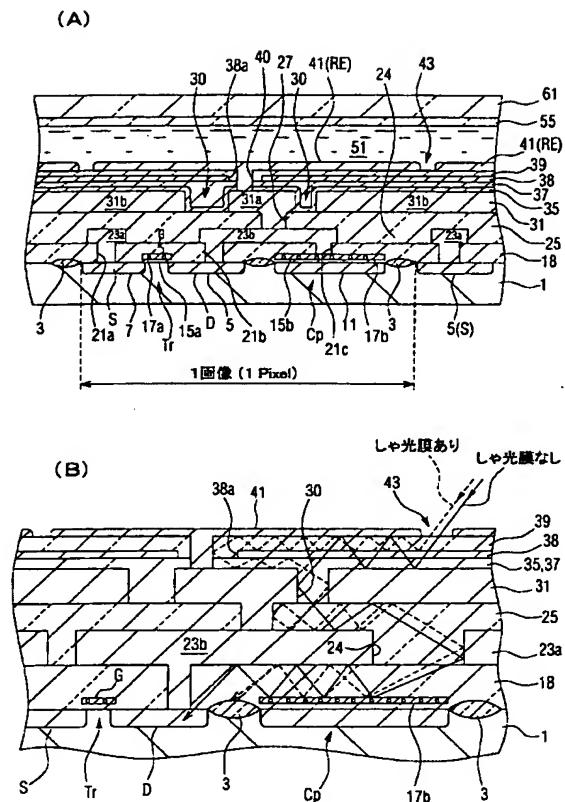
【図5】



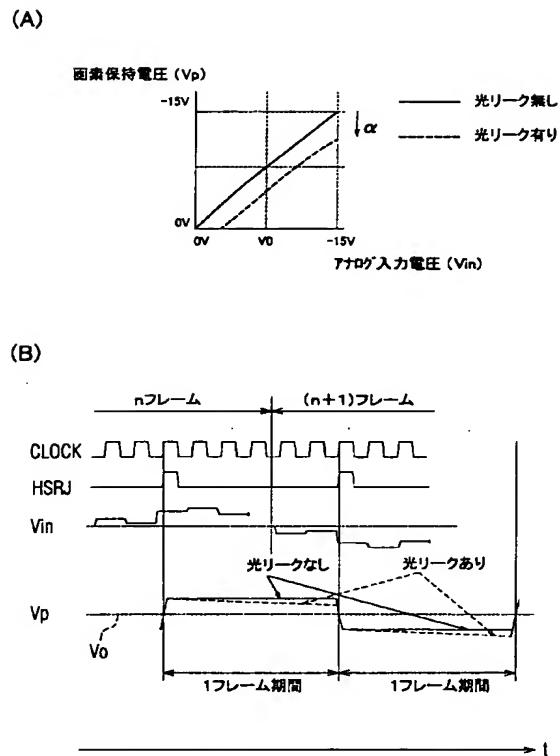
【図6】



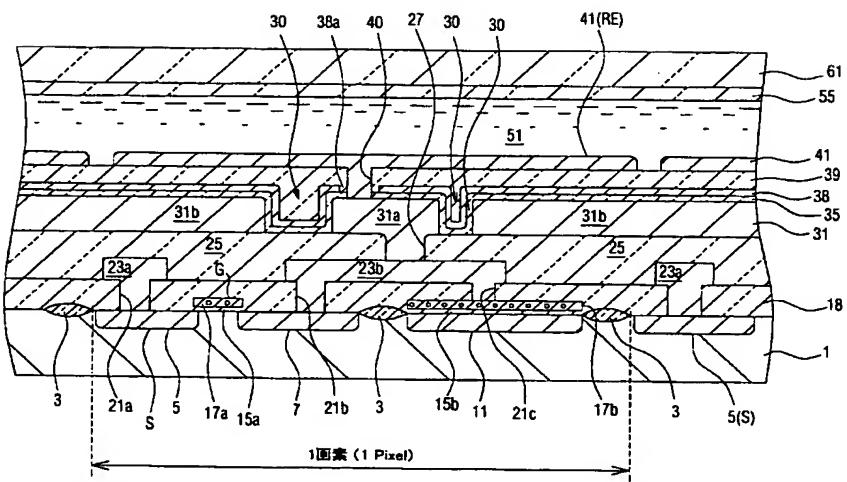
【図7】



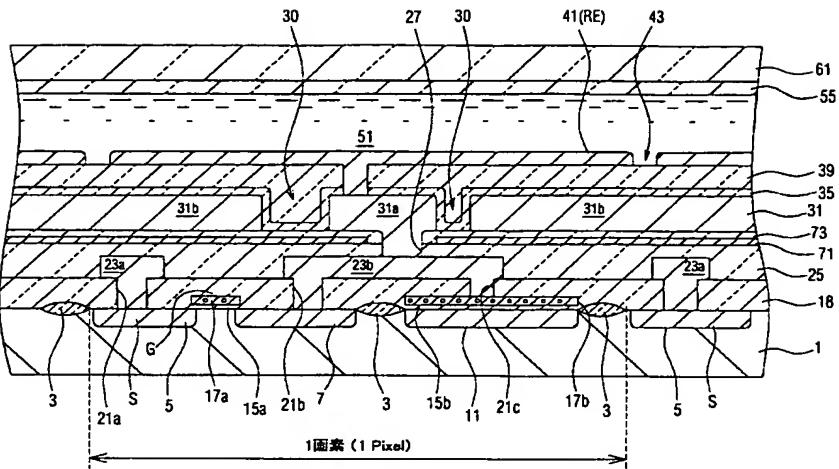
【図15】



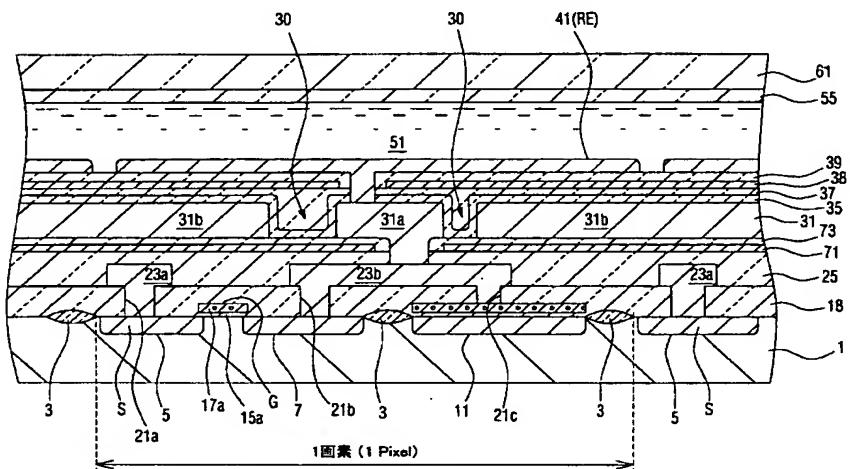
【図8】



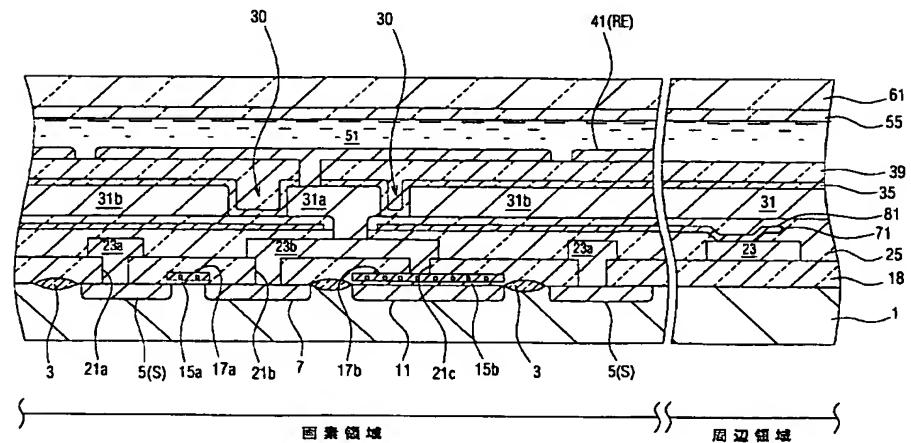
【図9】



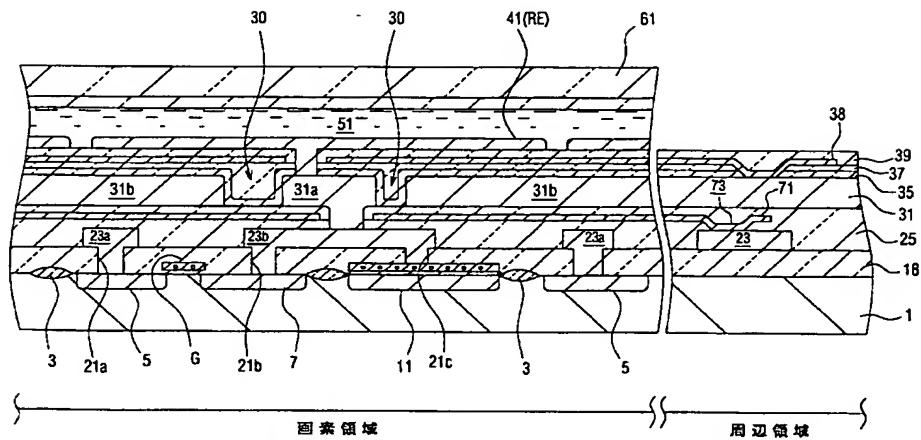
【図10】



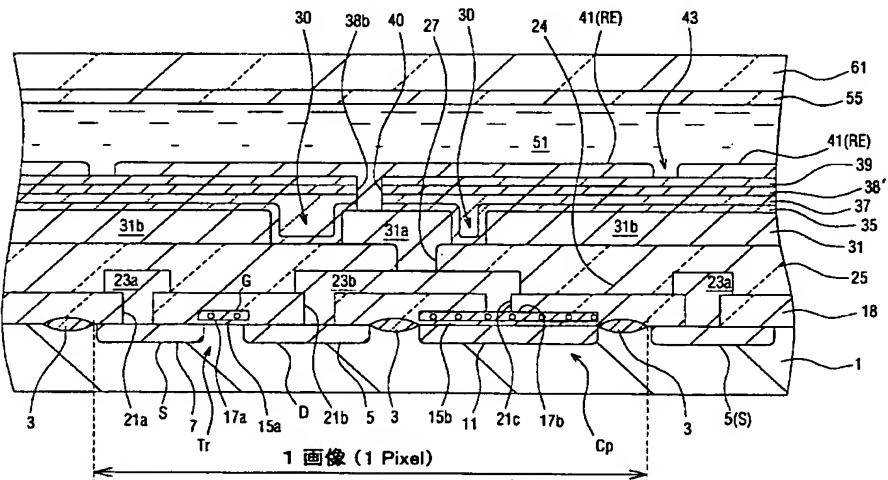
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 西牧 真木夫

宮城県黒川郡大和町松坂平1丁目6番地  
富士フィルムマイクロデバイス株式会社内

(72)発明者 村山 任

宮城県黒川郡大和町松坂平1丁目6番地  
富士フィルムマイクロデバイス株式会社内

(72)発明者 堀 義弘

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

(72)発明者 杉原 正人

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

(72)発明者 下村 優昭

神奈川県横浜市神奈川区守屋町3丁目12番  
地 日本ビクター株式会社内

F ターム(参考) 2H091 FA14Y FA34Y FB02 FB06

FB08 GA02 GA07 GA13 LA03

2H092 GA25 JA24 JB51 JB61 NA11

PA09